

PAT-NO: JP363232342A
DOCUMENT-IDENTIFIER: JP 63232342 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: September 28, 1988

INVENTOR-INFORMATION:
NAME
KOWASE, YASUAKI

ASSIGNEE-INFORMATION:
NAME HITACHI LTD COUNTRY
N/A

APPL-NO: JP62063926
APPL-DATE: March 20, 1987

INT-CL (IPC): H01L021/60

US-CL-CURRENT: 257/690, 257/730 , 257/784

ABSTRACT:

PURPOSE: To eliminate bonding wires and a wire bonding process and reduce the area of a semiconductor chip by a method wherein outer terminals on the side surfaces of the semiconductor chip are contacted with inner terminals of the leads on the side surfaces of the recess of a package in which the chip is housed.

CONSTITUTION: If a semiconductor chip 1 is inserted into the recess 7 of a package 6 to contact the respective wiring terminals 3 of the chip 1 with the leads 8 and 9 of the package 6 on the side surfaces of the chip 1 in such a manner that no gap exists between the chip 1 and the package 6, the conductive

layers 3 on the side surfaces of the chip 1 and the conductive layers 8 and 9 on the side surfaces of the recess 7 are tightly contacted with each other and electrical connection can be obtained. With this constitution, wire bonding between the chip and package can be eliminated so that simplification and automation of packaging can be realized.

COPYRIGHT: (C)1988,JPO&Japio

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)9月28日

H 01 L 21/60

6918-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 昭62-63926

⑰ 出 願 昭62(1987)3月20日

⑱ 発 明 者 小 和 瀬 靖 明 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 半導体内部に回路素子が形成され、一主面上に配線が設けられるとともに側面上に配線の外端子が設けられた半導体チップと、上記チップが収納できる凹部を有し、周辺に外部リードが設けられるとともに上記凹部側面に上記リードの内端子が設けられたパッケージとを具備し、上記半導体チップの側面での外端子と上記パッケージの凹部側面のリードの内端子とが突合せ接続されていることを特徴とする半導体装置。
2. 上記半導体チップの側面の外端子とパッケージ凹部側面のリード内端子とは筒状の電極を有する弾性棒状コネクタを介して接続されている特許請求の範囲第1項に記載の半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置におけるパッケージと電極

接続技術に関する。

〔従来技術〕

IC等の半導体装置における基本パッケージング技術としては、例えば丸善株式会社1968年11月発行「集積回路ハンドブック」p810に記載されているように、(1)金属を用いたTO-5形、(2)樹脂封止によるフラットパッケージ形、(3)セラミック容器を用いるデュアルインライン形等がある。いずれの場合においても、パッケージ基体にIC本体である半導体チップを取付けた後、チップの各電極とパッケージ側の内端子(樹脂封止の場合はリード)との間をワイヤボンディング手段により接続することが必須要件となっている。

〔発明が解決しようとする問題点〕

上述したパッケージング技術では、ワイヤボンディングのために半導体チップの周辺にボンディングパッドと称する端子電極を配置しなければならない。このパッドの寸法及び間隔はボンディング位置誤差を考慮して充分に広くとる必要があり、このためにチップ周辺部は少なからぬ面

積がパッドに占められることになる。又、電極の数に対応する数のワイヤを使うことでボンディングに時間がかかり、ワイヤが長いときにワイヤとチップ角部が接触する「ワイヤ流れ」による短絡事故を生ずる等の問題があった。

本発明は上記した問題を克服するためになされたものであり、その目的とするところは、半導体チップ側の電極とパッケージ側の端子とがワイヤを介することなく接続を保つことができ、組立も簡単にできる新規なパッケージング技術を提供することにある。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記のとおりである。

すなわち、半導体内部に回路素子が形成され、一主面上に配線が形成されるとともに側面には上記配線の端子が設けられた半導体チップと、このチップを収納することのできる凹部を有し、周辺に外部リードが設けられるとともに上記凹部側面に上記リードの内端子が設けられたパッケージと

面導電層3がそれぞれ外端子となっている。

上記のような側面導電層3を形成するにあたっては、たとえば第2図に示すような側面に窓孔5を有する箱状のマスク4を使用し、ウェハ状態でA₁配線2を形成し、ダイシングによって個々のチップ1に分割した後、上記マスク4でチップ1を覆った状態でA₂等の金属を蒸着することにより窓孔5を通してチップ側面に導電層3を形成することができる。

第3図は上記チップを接続するためのパッケージの斜面図であって、本体6はセラミック又は樹脂等の絶縁物からなり、上部に凹部7があけてある。この凹部7は前記ICチップ1を挿入してその側面との間に隙間が生じないようにチップに合わせて寸法が規定される。

凹部7の上面及び側面には導電層8、9が前記チップの各導電層に対応する位置に形成してある。側面の導電層9は、チップの場合と同様に特定のマスクを使用することにより形成することができる。上面の各導電層8の上にはリード10を接続

を具備し、上記半導体チップの側面とパッケージ凹部側面とを突き合わせるにより上記チップの電極と外部リードとを接続するようにしたものである。

〔作用〕

上記した手段によれば半導体チップ側面の電極とパッケージの凹部側面の内端子とが直接に接触することでワイヤ乃至ワイヤボンディング工程が不要であり、チップにおいてはボンディングのためのパッドが不要であるためにチップの面積を縮小できる等の効果がある。

〔実施例1〕

第1図乃至第4図は本発明の一実施例を示すものである。

第1図はICチップの斜面図であって、1はSi基板であり、その一主表面よりの不純物拡散によって基板内部にトランジスタ等の回路素子が形成される。

2はA₁配線であって、回路素子の各拡散領域に接続され、そのチップ周辺から側面に延在し側

してある。

これらリード10は予めリードフレーム（点線で示す）の状態でパッケージ上面に半田等で固着した後、周辺のフレーム11を切り離すことにより個々に分離したリード10として形成することができる。

第4図は前記したICチップ1をパッケージ6の凹部7内に挿入することにより、チップの各配線端子とパッケージのリードとをチップ側面で接続させた状態を示す断面図である。チップ1とパッケージ6の間には隙間を存在させないようにすれば、チップ側面の導電層3と凹部側面の導電層9とが互いに密着し、電気的な接続を得ることができる。

12はチップを覆うように設けた樹脂等の絶縁物よりなる蓋部である。この蓋部12は樹脂モールド又は樹脂ポッティングによって形成することができる。

パッケージ6がセラミック材の場合は、蓋部に金属又はセラミックの板を用いガラス材等を介し

て封止する。

上記した実施例から得られる作用効果は下記のとおりである。

- (1) ワイヤボンディング工程がいらないから、STが低減でき、ワイヤが不要でVA効果がある。又、ワイヤ流れのおそれもない。
- (2) チップ上面において、ボンディングパッドがなくなることにより、チップ面積を有効に使用できる。
- (3) IC上面を伏せて置いて封止するパッシベーション効果が大きい。

〔実施例2〕

第5図乃至第7図は本発明の他の一実施例を示すものである。

第5図はICチップの断面図であって、チップ1の側面は一部にテーパー13を設けてある。このようなテーパー13はウエハーの状態であらかじめエッチングなどの特徴のエッチングにより斜面の溝の一部として形成し、その後チップに分割することにより得られる。このようなテーパーの溝を形

なお、コネクタ挿入後は、第4図を参照し上側を絶縁性板または樹脂等を被覆して固定する。

このような溝状電極を有するコネクタを使用する場合は、チップ及びパッケージにおいて斜面に導電層を設ければよく、側面に設ける場合に比して作業工程が短縮できる。又、チップとパッケージ凹部の法によって多少の隙間を許容することができ、工作上も有利である。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

たとえばパッケージの凹部を入口は広く底部は狭いテーパーとすればチップを挿入しやすく、挿入後に側面での密着性が良くなる。

本発明は半導体製品全般に応用することができる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記

成しておくことにより、ウエハーの状態であらかじめ配線蒸着と同時に側面導電層14を設けることが容易となる。

第6図は上記ICチップをパッケージに接続する場合の態様を示す断面図である。

この場合に使用されパッケージ6の凹部7はチップの場合と同様にテーパー15を設けてある。テーパー上にはチップの導電層16と対応して上面から連続する導電層16を設けてある。

17は弾性棒状コネクタ(商品名ゼブラ・コネクタ)であって、第7図に示すようにゴム状の絶縁棒体の側面を取囲む溝状電極18を有する。この棒体の断面は同図(a)、(b)に示すように四角形であってもよく、円形であってもよい。

これら溝状電極18と前記チップ1及びパッケージ6斜面の導電層14、16と同じ間隔で電極が設けてあり、この溝状電極コネクタをチップとパッケージの間にできるV状溝に挿入されることでゴム状のコネクタが両方の導電層間に密着して両者の間が電氣的に導通される。

のとおりである。

すなわち、チップとパッケージの間でのワイヤボンディングが不要となり、パッケージングの簡略化、自動化を実現できる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示すチップの斜面図である。

第2図は第1図のチップの側面に導電層を設ける形態を示す斜面図である。

第3図は本発明の一実施例を示すパッケージの斜面図である。

第4図は本発明の一実施例を示す半導体装置の組立断面図である。

第5図は本発明の他の一実施例を示すチップの断面図である。

第6図は本発明の他の一実施例を示す半導体装置の組立断面図である。

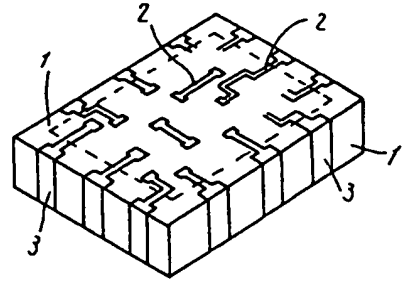
第7図(a)、(b)は弾性棒状コネクタの斜面図である。

1…Si基板、2…Al配線、3…側面導電層、

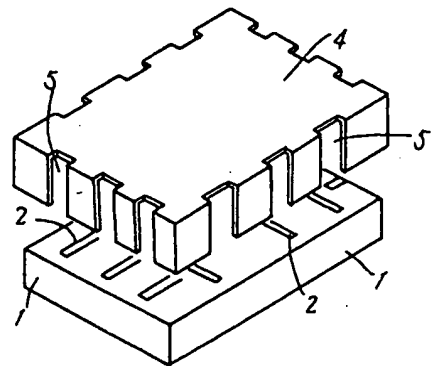
4…マスク、5…窓孔、6…パッケージ本体、7…凹部、8、9…導電層、10…リード、11…フレーム、12…蓋部（樹脂）、13…テーパ、14…導電層、15…テーパ、16…導電層、17…コネクタ、18…積状電極。

代理人 弁理士 小 川 勝 男

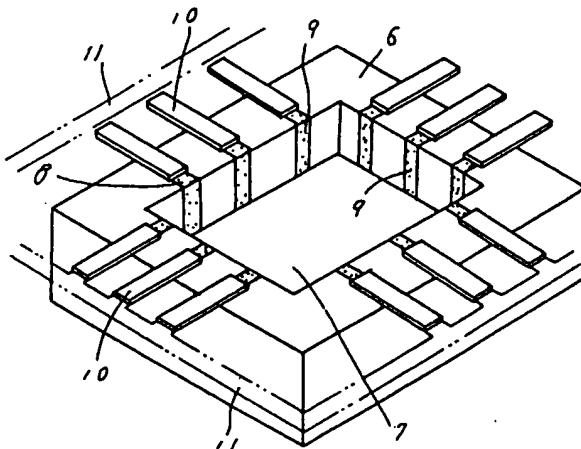
第 1 図



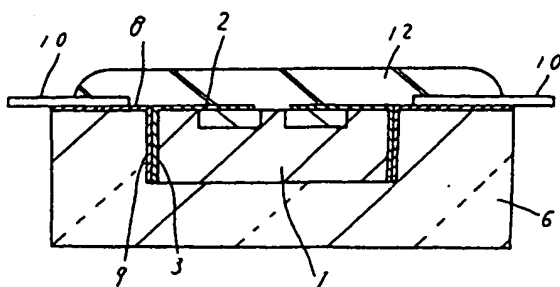
第 2 圖



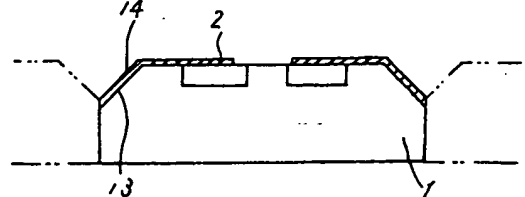
第 3 圖



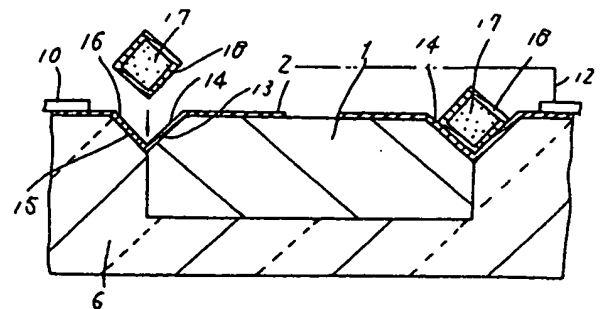
第 4 回



第 5 圖



第 6 题



第 7 図

